

GUIDE QUARTUS II

Quartus II est un logiciel de CAO destiné à la conception de circuits logiques mettant en œuvre des composants programmables du constructeur Altera. La programmation d'un circuit se décompose en 4 phases :

1. Saisie de la description du circuit. Pour cela 3 outils sont utilisables :
 - description sous la forme d'un schéma électronique,
 - description textuelle en utilisant un langage de programmation (VHDL ou AHDL),
 - description sous la forme de chronogramme.
2. Vérification de la description par compilation du circuit,
3. Vérification du bon fonctionnement de la description par simulation logico-temporelle. A ce stade, il peut-être nécessaire de reprendre à la 1^{ère} phase,
4. Programmation du circuit physique.

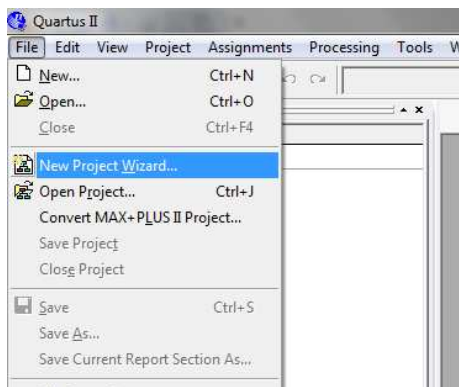
L'objectif de cette annexe est de vous guider dans vos premiers pas sous Quartus II. Vous apprendrez à créer un projet, compiler, assigner les broches de votre CLP, simuler puis programmer votre CLP pour tester votre projet.

I. CREATION D'UN PROJET

Pour le logiciel Quartus II, un projet consiste en un ensemble de fichiers de conception, de fichiers d'assignation, de fichiers de simulation, d'options de configuration et d'informations sur le projet. Le module **Création d'un Projet** du didacticiel vous guidera à travers les étapes qui sont nécessaires à la création de votre projet.

Avant de commencer, créez un répertoire « TP_quartus » sous votre compte. Puis créez un sous répertoire du nom de votre projet sous « TP_quartus ». Attention à ne pas mettre d'espace dans vos noms de répertoire !!

Pour créer un nouveau projet, suivez ces étapes :

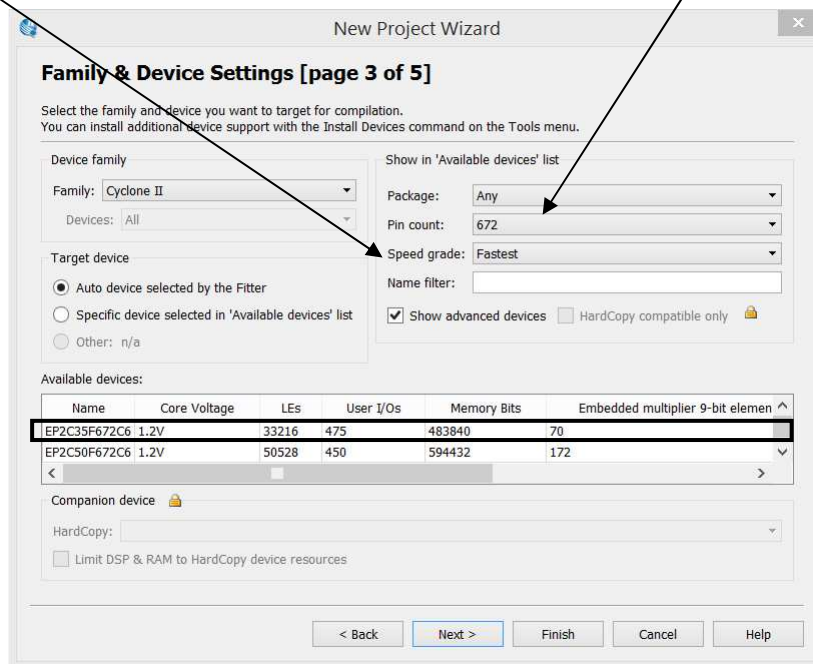


1. Sélectionnez **New Project Wizard...** dans le menu **File**.
2. Il se peut qu'une page d'introduction apparaisse la première fois que vous ouvrez le guide New Project Wizard; cliquez sur **Next** pour passer à la première page du guide.
3. Entrez le nom du **répertoire** dans lequel vous désirez travailler ou choisissez le répertoire avec [...]
4. Entrez le nom du **projet**.

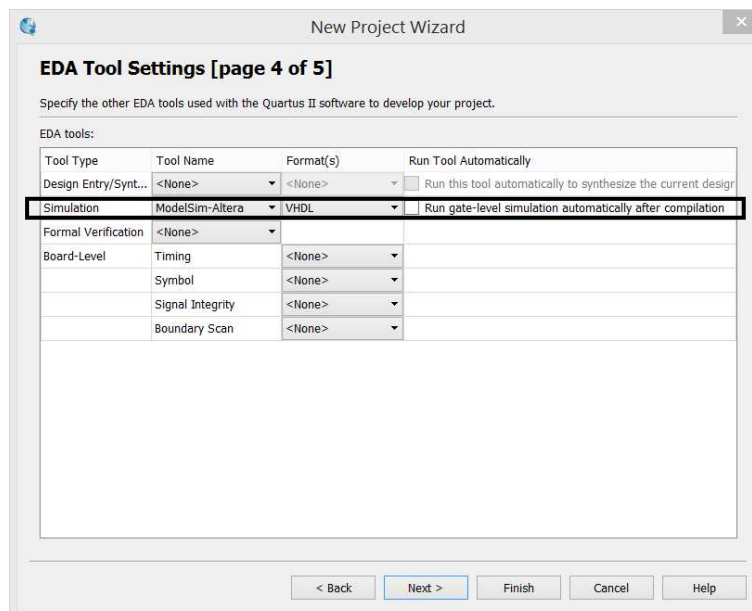
Note : Le nom du fichier **top-level** est par défaut le même que le nom du **projet** que vous venez d'entrer. Vous pouvez modifier ce nom à votre guise.

5. Cliquez sur **Next** pour faire apparaître la page **Add Files**. Puisque c'est un nouveau projet, il n'existe pas encore de fichier à rattacher. Cependant, si vous voulez utiliser des composants ou des fichiers créés précédemment, vous pouvez les ajouter en indiquant leur nom ou en utilisant [...] pour sélectionner les fichiers et ensuite cliquez sur **Add**.

6. Cliquez sur **Next**. Vous voilà maintenant à la page **Family & Device Settings**. Assurez-vous de choisir la famille **CYCLONE II** et la cible **EP2C35F672C6**. Si vous filtrez les noms de cible en fixant le nombre de broches à **672** et en choisissant la **vitesse la plus rapide**, le circuit apparaît alors en premier dans la liste.



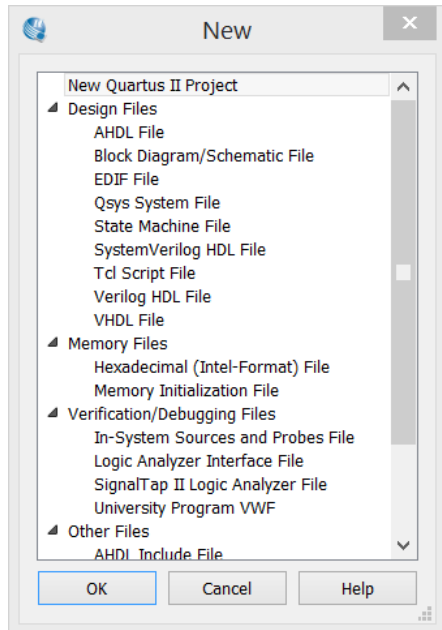
7. Cliquez sur **Next**. Maintenant, la page **EDA Tool Setting** apparaît. Cette page permet de spécifier si on utilisera les outils par défaut de Quartus II ou si l'on fera appel à des outils externes. A cette étape, il faudra simplement spécifier que l'on utilisera l'outil de simulation **ModelSim-Altera**.



8. Cliquez sur **Next**. La page **Summary** montre les options que nous avons choisi afin de configurer le projet.

9. Cliquez sur **Finish**. Le projet est maintenant créé. Le nom de l'entité **top-level** du projet apparaît dans le signet **Hierarchies** dans la fenêtre du navigateur du projet.

II. DESCRIPTION DU CIRCUIT



Vous allez maintenant créer la description du circuit. Cette description sera définie comme l'entité **top-level** du projet. Vous utiliserez principalement des descriptions sous forme de schéma, de machine d'état ou des descriptions comportementales en VHDL.

Pour créer une nouvelle description, suivez ces étapes

1. Choisissez **New** dans le menu **File**.
2. Sélectionnez **Block Diagram/Schematic File** de l'onglet **Device Design Files** pour une description sous forme de schéma.

OU

2. Sélectionnez **State Machine File** de l'onglet **Device Design Files** pour une description sous forme de machine d'état.

OU



2. Sélectionnez **VHDL File** de l'onglet **Device Design Files** pour une description en VHDL.

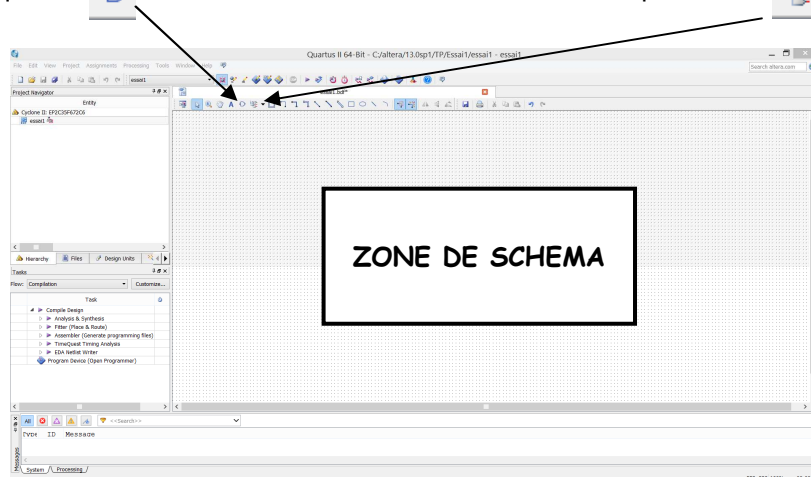
3. Cliquez sur **OK**. Une nouvelle fenêtre d'édition de s'ouvre.
4. Choisissez **Save As** du menu **File**.
5. Sélectionner le répertoire où vous désirez sauvegarder le fichier.
6. Dans le champ **File name**, entrez le nom du bloc que vous voulez créer.
7. Assurez-vous que la case **Add file to current project** est cochée.
8. Cliquez sur **Save** pour sauvegarder le fichier et l'ajouter à votre projet.

Description sous forme de schéma :

Ce type de description est utilisé :


- si la synthèse a été au préalable entièrement faite « à la main » et que l'on dispose d'un logigramme du système ou de la fonction à synthétiser
- si l'on souhaite connecter entre elles plusieurs fonctions déjà synthétiser au préalable.

Dans ce cas-là, la fenêtre de travail dispose d'une zone de schéma et il suffit d'ajouter des fonctions numériques en cliquant sur  sur et des broches d'entrée/sortie en cliquant sur .



III. COMPILATION

Le Compilateur de **Quartus II** est constitué d'une série de modules qui vérifient s'il n'y a pas d'erreurs dans le design, synthétisent la logique et génèrent les fichiers pour la simulation, l'analyse temporelle et la programmation du composant.

1. Compilez le projet en choisissant la commande **Start compilation** du menu **Processing** ou en cliquant sur .
2. Si vous recevez un message indiquant que la compilation est réussie et qu'il n'y a pas eu d'erreurs, cliquez sur **OK** sinon corriger votre projet et recommencer une compilation.

Remarque :

Durant la compilation, la fenêtre **Compilation Report** apparaît automatiquement. Le rapport procure des informations détaillées sur la compilation. La section **Summary** permet par exemple d'obtenir de l'information sur :

- Le statut final de la compilation
- Les requis temporels
- Le nom des entités compilées
- Le nombre total de cellules logiques, broches, mémoires et de PLL utilisés

IV. ASSIGNATION DES BROCHES

L'assignation des signaux aux broches d'entrées/sortie du FPGA peut se faire après la simulation mais il est à noter que cette assignation pourrait avoir une influence sur le comportement du circuit.

Suivez ces étapes afin d'assigner les signaux aux broches de votre FPGA :

1. Après avoir compilé le projet avec succès, cliquez sur **Pin** dans le menu **Assignments**.
2. Dans la section du bas, associez des broches du FPGA aux entrées/sorties de votre projet.

V. SIMULATION

La simulation vous permet de vous assurer que votre projet répond correctement à vos attentes. La simulation s'effectuera en plusieurs étapes :

- création d'un fichier Vector Waveform File (**.vwf**),
- configuration du simulateur
- exécution de la simulation
- analyse du résultat.

Vous pouvez créer un fichier **.vwf**, qui sera utilisé comme stimuli pour le simulateur, avec l'éditeur **Waveform** de Quartus II. Afin de créer un fichier **.vwf**, suivez ces étapes :

1. Choisissez **New** dans le menu **File**.
2. Cliquez sur l'onglet **Verification/Debugging Files** et sélectionnez **University Program VWF**.
3. Cliquez sur **OK**. L'éditeur **Waveform** s'ouvre.
4. Pour modifier le temps de fin de la simulation, choisissez **End Time** du menu **Edit**.
5. Pour ajouter des entrées et des sorties à votre fichier de simulation, faire un clic droit dans la colonne **name** puis sélectionnez **Insert Node or Bus...**

6. Si vous signaux n'apparaissent pas, cliquer sur **Node Finder**, sélectionnez **Pins : all** dans la liste **Filter**.
7. Cliquez sur **Start** afin de lancer la recherche.
8. Dans la liste de signaux trouvés, sélectionnez les signaux et déplacer-les dans la colonne **Name** de la fenêtre **VWF**.
9. Fermer l'outil **Node Finder**.
10. Affectez à chaque entrée des stimuli en sélectionnant un intervalle temporel puis en lui attribuant une valeur.
11. Sauvegardez votre fichier.

Il faut savoir que le logiciel Quartus II autorise deux types de simulation : la simulation **temporelle** et la simulation **fonctionnelle**.

Lors d'une simulation fonctionnelle, le simulateur simule le comportement du design sans tenir compte des contraintes temporelles. Pour la simulation temporelle, le simulateur utilise les informations temporelles estimées ou réelles sur circuit. Ce type de simulation vous permet de vérifier les paramètres temporels tels que les temps de maintien, temps de placement et de détecter les *glitches* (passage de la sortie à un niveau non désiré lorsque plusieurs entrées changent d'état en même temps), en plus du fonctionnement logique du circuit.


Pour effectuer la simulation, choisissez **Run Functionnal Simulation** ou **Run Timing Simulation** dans le menu **Simulation** suivant le type de simulation désiré.

VI. PROGRAMMATION

Le programmeur vous permet d'utiliser les fichiers générés par le compilateur afin de programmer et/ou de configurer les composants Altera qui sont supportés par le logiciel Quartus II.

Suivez ces étapes afin d'effectuer la programmation :



1. Cliquez sur .
2. Configurer le mode de programmation en cliquant sur **hardware setup....**
3. Choisissez **USB-Blaster** en mode **JTAG**.
3. Cochez la case **Program/Configure**.
4. Cliquez sur **Start**.

Il n'y a plus qu'à tester sur la carte d'application !!!